

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-058743

(43)Date of publication of application : 25.02.2000

(51)Int.Cl. H01L 25/065
H01L 25/07
H01L 25/18
H01L 21/60

(21)Application number : 10-218198

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 31.07.1998

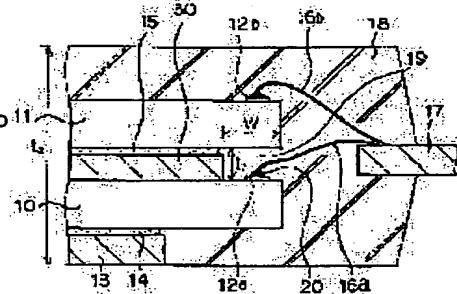
(72)Inventor : TSUBONOYA MAKOTO

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a multi-chip type semiconductor device wherein an insulating spacer is held between first and second semiconductor chips to allow wire bonding to an electrode pad concealed under the chip.

SOLUTION: A first semiconductor chip 10 is fitted to an island 13 while a second semiconductor chip 11 is fitted on the first semiconductor chip 10 with a spacer 30 in between. The first semiconductor chip 10 is connected to a lead terminal 17 with a first bonding wire 16a while the second semiconductor chip 11 is connected to the lead terminal 17 with a second bonding wire 16b. The first and the second semiconductor chips 10 and 11 have similar chip size and shape, and a first electrode pad 12a is concealed under the second semiconductor chip 11 from a top view. Using a space 19 formed by the spacer 30, the first electrode pad 12a is connected to the second bonding wire 16a.



LEGAL STATUS

[Date of request for examination] 13.06.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3643706

[Date of registration] 04.02.2005

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The 1st, the 2nd semiconductor chip, and said 1st [the] and the electrode pad formed in each front face of the 2nd semiconductor chip, The bonding wire which connects respectively the electrode means for external connection, and said the 1st, electrode pad of the 2nd semiconductor chip and said electrode means is provided. In the semiconductor device which superimposed said the 1st and 2nd semiconductor chip, and was closed in one package A spacer is formed said 1st semiconductor chip and said 2nd semiconductor chip, and in between. This spacer avoids the electrode pad of said 1st semiconductor chip, and forms space in the upper part. The semiconductor device characterized by locating said 2nd semiconductor chip in the upper part of said space, and for the bonding wire linked to the electrode pad of said 1st semiconductor chip passing through said space, and carrying out bonding to the electrode pad of said 1st semiconductor chip.

[Claim 2] The semiconductor device according to claim 1 characterized by said spacer being an insulating tape.

[Claim 3] The semiconductor device according to claim 1 characterized by said spacers being the adhesives containing a filler.

[Translation done.]

*** NOTICES ***

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the semiconductor device which can be miniaturized also in the combination of a semiconductor chip with the approximated magnitude, piling up and carrying out the mould of two or more semiconductor chips.

[0002]

[Description of the Prior Art] The transfer mold technique which closes the perimeter of the

semiconductor chip 1 as shown in drawing 6 (A) with the thermosetting epoxy resin 2 has spread most as a closure technique of a semiconductor device. The leadframe is used as a support raw material of a semiconductor chip 1, die bond of the semiconductor chip 1 is carried out to the island 3 of a leadframe, wire bond of the lead 4 is carried out to the bonding pad of a semiconductor chip 1 with a wire 5, a leadframe is set in the metal mold possessing a desired appearance configuration, an epoxy resin is poured in into metal mold, and it is manufactured by stiffening this.

[0003] On the other hand, the semiconductor device built into not knowing and these in the place in which small [to various electronic equipment] and the wave of lightweightizing remain will also be expected much more large capacity, high efficiency, and high integration.

[0004] Then, in one package which existed as the way of thinking (for example, JP,55-1111517,A), the technique which closes two or more semiconductor chips attracted attention, and the implementation-ized motion came out from before. That is, as shown in drawing 6 (B), 1st semiconductor chip 1a is fixed on an island 3, the bonding pad and lead terminal 4 which fix 2nd semiconductor chip 1b and correspond on 1st semiconductor chip 1a are connected by bonding wires 5a and 5b, and it closes by resin 2.

[0005]

[Problem(s) to be Solved by the Invention] When 2nd semiconductor chip 1b is fixed, the configuration of drawing 6 (B) serves as conditions with absolute the electrode pad part of 1st semiconductor chip 1a being exposed, i.e., a difference being in a chip size, in order to secure wirebonding with 1st semiconductor chip 1a. Therefore, two chips of the same model were incorporated, for example, or even if it was the chip of another model, when the chip size approximated, there was a fault which is not employable. Although laying two semiconductor chips on top of a cross is also considered, it becomes conditions that a difference is in the dimension beside [vertical x] this and a chip size, and constraint still remains.

[0006]

[Means for Solving the Problem] This invention is what was accomplished in view of the conventional technical problem mentioned above. The 1st and the 2nd semiconductor chip, Said 1st [the], the electrode pad formed in each front face of the 2nd semiconductor chip, and the electrode means for external connection, In the semiconductor device which possessed the bonding wire which connects respectively said the 1st, electrode pad of the 2nd semiconductor chip, and said electrode means, superimposed said the 1st and 2nd semiconductor chip, and was closed in one package A spacer is formed said 1st semiconductor chip and said 2nd semiconductor chip, and in between. This spacer avoids the electrode pad of said 1st semiconductor chip, and forms space in the upper part. It is characterized by locating said 2nd semiconductor chip in the upper part of said space, and for the bonding wire linked to the electrode pad of said 1st semiconductor chip passing through said space, and carrying out bonding to the electrode pad of said 1st semiconductor chip.

[0007]

[Embodiment of the Invention] The gestalt of the 1 operation of this invention to the following is explained to a detail.

[0008] First, similarly the sectional view in which drawing 1 shows the body of the semiconductor device of this invention, and drawing 2 (A) are the sectional view showing the whole, and a top view in which drawing 2 (B) shows the whole.

[0009] In these drawings, 10 and 11 show the 1st and the 2nd semiconductor chip respectively. In the before process, much activity and a passive circuit element are formed in the silicon front face of the 1st and the 2nd semiconductor chip 10 and 11 of various kinds of diffusion heat treatments etc. The 1st [for external connection] and 2nd electrode pad 12a and 12b is formed in the chip circumference parts of the 1st and the 2nd semiconductor chip 10 and 11 with the aluminum electrode. A passivation coat is formed on each electrode pads 12a and 12b, and opening of the upper part of the electrode pads 12a and 12b is carried out for electrical connection. Passivation coats are a silicon nitride, silicon oxide, a polyimide system insulator layer, etc. In the example of drawing 2 (B), each electrode pads 12a and 12b

are collected and arranged along with two sides which semiconductor chips 10 and 11 counter.

[0010] Die bond of the 1st semiconductor chip 10 is carried out by adhesives 14 on the island 13 of a leadframe. The 2nd semiconductor chip 11 has fixed on said passivation coat of the 1st semiconductor chip 10. Adhesives 14 are conductivity or insulation.

[0011] The end of 1st bonding wire 16a which consists of a gold streak is connected to 1st electrode pad 12a, and wire bond of the other end of 1st bonding wire 16a is carried out to the lead terminal 17 for external derivation. Moreover, wire bond of the end of 2nd bonding wire 16b is carried out to the front face of 2nd electrode pad 12b, and wire bond of the other end of 2nd bonding wire 16b is carried out to the lead terminal 17 for external derivation.

[0012] The mould of some of the 1sts, 2nd semiconductor chips 10 and 11, lead terminals 17, and the body containing the 1st and the 2nd bonding wire 16a and 16b is carried out by the heat-curing resin 18 of an epoxy system in a perimeter, and they form the package of a semiconductor device. A lead terminal 17 is drawn from the side attachment wall of a package outside, and turns into an external connection terminal. Bending of the drawn lead terminal 17 is carried out to the Z character mold. It has exposed to the front face of resin 18, and the rear-face side of an island 13 forms the same flat surface as resin 18 front face.

[0013] The combination of the 1st and the 2nd semiconductor chip 10 and 11 is arbitrary. For example, when semiconductor memories, such as EEPROM (flash memory), are used as the 1st and the 2nd semiconductor chip 10 and 11 (1st example of combination), storage capacity can be made into ... 3 times twice with one package. Moreover, in semiconductor memories, such as EEPROM (flash memory), when forming semiconductor memories, such as SRAM, in the 2nd semiconductor chip 11 (2nd example of combination), things are also considered by the 1st semiconductor chip 10. For each chip, the I/O terminal which outputs and inputs data, and the address terminal which specifies the address of data and the chip enable terminal which permits I/O of data are provided, and, in [both of] the case of combination, the pin out of both chips resembles closely. Therefore, it is possible to share the I/O terminal of the 1st and the 2nd semiconductor chip 10 and 11 and the lead terminal 17 for address terminals, and it is possible by impressing an exclusive chip enable signal to each chip to choose the memory cell of one of semiconductor chips exclusively.

[0014] natural in the case of the example of combination of the above 1st ***** -- the 1st semiconductor chip 10 and 2nd semiconductor chip 11 -- a profile -- it has the same magnitude and the same configuration and the same is said of the array of the electrode pads 12a and 12b. Therefore, if both are piled up, electrode pad 12a of the 1st semiconductor chip 10 will be hidden by the 2nd semiconductor chip 11. Concretely, in the example of drawing 2 (B), 1st electrode pad 12a is located directly under 2nd electrode pad 12b. A chip size and a configuration approximate and, also in the case of the example of **** 2 of combination, a pin out can resemble closely.

[0015] It **, a spacer 30 is formed between the 1st and the 2nd semiconductor chip 10 and 11, space 19 is formed above 1st electrode pad 12a, and the 2nd semiconductor chip 11 is made to project in the shape of a canopy top. This space 19 has only the width of face (drawing 1 : W) which exposes 1st electrode 12a from the edge of the 1st semiconductor chip 10, and has only the height (drawing 1 : t1) which contains the wire height of 1st bonding wire 16a further. However, the thickness of the adhesives 15 of a spacer 30 and each semiconductor chips 10 and 11 is also taken into consideration. As such a spacer 30, the insulating adhesive tape whose thickness is about 100-200micro, the epoxy insulating system adhesives which mixed the insulating filler of the shape of a grain whose diameters are 100-200micro can be used.

[0016] A spacer 30 forms space 19 above 1st electrode pad 12a, and ball bonding of the 1st bonding wire 16a is carried out to 1st electrode pad 12a in this space. 1st bonding wire 16a which continues from the ball section 20 passes through space 19, and second bond is carried out to a lead terminal 17. To the height of the front face of the 1st semiconductor chip 10, when the front face of a lead terminal 17 is high, 1st bonding wire 16a passes through space 19 from the 1st electrode 12a, is drawn by the

longitudinal direction, goes up outside the edge of the 2nd semiconductor chip 11, and draws a locus which reaches lead terminal 17 point.

[0017] Thus, it has avoided that make possible wirebonding to the 1st semiconductor chip 11, and 1st bonding wire 16a contacts the rear face of the 2nd semiconductor chip 11 by forming space 19 on 1st electrode pad 12a with a spacer 30.

[0018] With the gestalt of this operation, the board thickness of an island 13 is 150-200micro, 20-30micro is required as thickness of adhesives 14 and 15 from which the thickness of the 1st and the 2nd semiconductor chip 10 and 11 is 250-300micro by the back grinding process, and 150-200micro are still more nearly required for the upper part of a bonding wire as remaining thickness of resin. The applicant for this patent realized the semiconductor device which formed the height t_2 of a package into the thin form to 1.0mm or less, containing such thickness.

[0019] The gestalt of the 2nd operation was shown in drawing 3. It replaces with a leadframe and is an example using a tape career and a solder ball. Adhesion immobilization of the 1st semiconductor chip 10 is carried out on the base film 40 of a polyimide system, and the 2nd semiconductor chip 11 fixes on both sides of a spacer 30 on the 1st semiconductor chip 10. The electric conduction pattern 41 equivalent to a lead terminal 17 is formed in the front face of a base film 40, and the 1st, the 2nd electrode pad 12a and 12b, and the electric conduction pattern 41 are respectively connected with the 1st by the 2nd bonding wire 16a and 16b. A through hole is formed in a base film 40, through this through hole, it connects with the solder ball 42 formed in the rear face of a base film 40, and the mould of the perimeter is carried out by thermosetting resin.

[0020] In addition, although the above-mentioned example indicated the case where the number of semiconductor chips was two, even when carrying out the laminating of three pieces and the four pieces, it cannot be overemphasized that it can carry out similarly.

[0021]

[Effect of the Invention] Since bonding of the 1st bonding wire 12a is carried out to 1st electrode 12a using the space 19 which forms a spacer 30 between the 1st and the 2nd semiconductor chip 10 and 11, and a spacer 30 forms according to this invention as explained above, even when the magnitude and the configuration of semiconductor chips 10 and 11 approximate, it has the advantage to which the laminating of two or more semiconductor chips is carried out, and wirebonding becomes possible. Thereby, it becomes possible to give twice as many storage capacity as this to one package.

[0022] Furthermore, as semiconductor chips 10 and 11, combination becomes possible and the thing of any sizes and a configuration also has the advantage whose degree of freedom of product expansion increases.

[Translation done.]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is a sectional view for explaining this invention.

[Drawing 2] They are the (A) sectional view for explaining this invention, and the (B) top view.

[Drawing 3] It is the sectional view showing the gestalt of operation of the 2nd of this invention.

[Drawing 4] It is a sectional view for explaining the conventional example.

[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2000-58743

(P2000-58743A)

(43)公開日 平成12年2月25日 (2000.2.25)

(51)Int.Cl.⁷
H 0 1 L 25/065
25/07
25/18
21/60

識別記号
H 0 1 L 25/08
21/60
3 0 1

F I
H 0 1 L 25/08
21/60

Z 5 F 0 4 4
3 0 1 B

マーク- (参考)

審査請求 未請求 請求項の数3 OL (全5頁)

(21)出願番号 特願平10-218198
(22)出願日 平成10年7月31日 (1998.7.31)

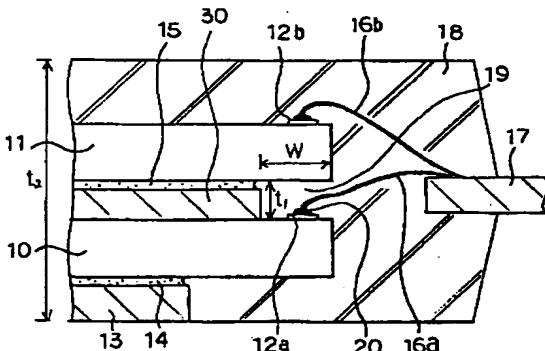
(71)出願人 000001889
三洋電機株式会社
大阪府守口市京阪本通2丁目5番5号
(72)発明者 坪野谷 誠
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内
(74)代理人 100076794
弁理士 安富 耕二 (外1名)
Fターム(参考) 5F044 AA01 HH02

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 第1と第2の半導体チップの間に絶縁スペースを挟むことにより、チップの下に隠れる電極パッドへのワイヤボンディングを可能にした、マルチチップ型の半導体装置を提供する。

【解決手段】 アイランド13上に第1の半導体チップ10を固着し、第1の半導体チップ10の上にスペーサ30を介して第2の半導体チップ11を固着する。第1の半導体チップ10とリード端子17とを第1のボンディングワイヤ16aで、第2の半導体チップ11とリード端子17とを第2のボンディングワイヤ16bで接続する。第1と第2の半導体チップ10、11は互いに近似したチップサイズと形状を有し、平面視で第1の電極パッド12aが第2の半導体チップ11に隠れる。スペーサ30が形成する空間19を利用して第1の電極パッド12aと第2のボンディングワイヤ16aとの接続を行う。



10 第1の半導体チップ
11 第2の半導体チップ
12a 第1の電極パッド
12b 第2の電極パッド
16a 第1のボンディングワイヤ
16b 第2のボンディングワイヤ
30 スペーサ

(2)

【特許請求の範囲】

【請求項1】 第1と第2の半導体チップと、前記第1と第2の半導体チップの各表面に形成した電極パッドと、外部接続用の電極手段と、前記第1と第2の半導体チップの電極パッドと前記電極手段とを各々接続するボンディングワイヤとを具備し、前記第1と第2の半導体チップを重畠して1つのパッケージに封止した半導体装置において、

前記第1の半導体チップと前記第2の半導体チップと間にスペーサを設け、該スペーサは前記第1の半導体チップの電極パッドを避けてその上部に空間を形成し、前記空間の上部には前記第2の半導体チップが位置し、

前記第1の半導体チップの電極パッドに接続するボンディングワイヤが、前記空間を通過して前記第1の半導体チップの電極パッドにボンディングされていることを特徴とする半導体装置。

【請求項2】 前記スペーサが絶縁テープであることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記スペーサがフィラー入りの接着剤であることを特徴とする請求項1記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、複数の半導体チップを重ね合わせてモールドしつつ、近似した大きさを持つ半導体チップの組み合わせでも小型化できる半導体装置に関する。

【0002】

【従来の技術】 半導体装置の封止技術として最も普及しているのが、図6 (A) に示したような、半導体チップ1の周囲を熱硬化性のエポキシ樹脂2で封止するトランスファー モールド技術である。半導体チップ1の支持素材としてリードフレームを用いており、リードフレームのアイランド3に半導体チップ1をダイボンドし、半導体チップ1のボンディングパッドとリード4をワイヤ5でワイヤボンドし、所望の外形形状を具備する金型内にリードフレームをセットし、金型内にエポキシ樹脂を注入、これを硬化させることにより製造される。

【0003】 一方、各種電子機器に対する小型、軽量化の波はとどまるところを知らず、これらに組み込まれる半導体装置にも、一層の大容量、高機能、高集積化が望まれることになる。

【0004】 そこで、以前から発想としては存在していた(例えば、特開昭55-1111517号)、1つのパッケージ内に複数の半導体チップを封止する技術が注目され、実現化する動きが出てきた。つまり図6 (B) に示すように、アイランド3上に第1の半導体チップ1aを固着し、第1の半導体チップ1aの上に第2の半導体チップ1bを固着し、対応するボンディングパッドとリード端子4とをボンディングワイヤ5a、5bで接続し、樹脂2で封止したものである。

2

【0005】

【発明が解決しようとする課題】 図6 (B) の構成は、第1の半導体チップ1aとのワイヤボンディングを確保するため、第2の半導体チップ1bを固着したときに第1の半導体チップ1aの電極パッド部分が露出していること、即ちチップサイズに差のあることが絶対的な条件となる。そのため、例えば同一機種のチップを2個組み込む、或いは別機種のチップであってもそのチップサイズが近似する場合には採用できない欠点があった。2つの半導体チップを十文字に重ね合わせることも考えられるが、これとてチップサイズの縦×横の寸法に差があることが条件となり、依然として制約が残るものである。

【0006】

【課題を解決するための手段】 本発明は上述した従来の課題に鑑み成されたもので、第1と第2の半導体チップと、前記第1と第2の半導体チップの各表面に形成した電極パッドと、外部接続用の電極手段と、前記第1と第2の半導体チップの電極パッドと前記電極手段とを各々接続するボンディングワイヤとを具備し、前記第1と第2の半導体チップを重畠して1つのパッケージに封止した半導体装置において、前記第1の半導体チップと前記第2の半導体チップと間にスペーサを設け、該スペーサは前記第1の半導体チップの電極パッドを避けてその上部に空間を形成し、前記空間の上部には前記第2の半導体チップが位置し、前記第1の半導体チップの電極パッドに接続するボンディングワイヤが、前記空間を通過して前記第1の半導体チップの電極パッドにボンディングされていることを特徴とするものである。

【0007】

【発明の実施の形態】 以下に本発明の一実施の形態を詳細に説明する。

【0008】 先ず、図1は本発明の半導体装置の主要部を示す断面図、図2 (A) は全体を示す断面図、同じく図2 (B) は全体を示す平面図である。

【0009】 これらの図において、10、11は各々第1と第2の半導体チップを示している。第1と第2の半導体チップ10、11のシリコン表面には、前工程において各種の拡散熱処理などによって多数の能動、受動回路素子が形成されている。第1と第2の半導体チップ10、11のチップ周辺部分には外部接続用の第1と第2の電極パッド12a、12bがアルミ電極によって形成されている。各電極パッド12a、12bの上にはパッシベーション皮膜が形成され、電極パッド12a、12bの上部が電気接続のために開口されている。パッシベーション被膜はシリコン窒化膜、シリコン酸化膜、ポリイミド系絶縁膜などである。図2 (B) の例では、各電極パッド12a、12bは半導体チップ10、11の対向する2辺に沿って集約して配置されている。

【0010】 第1の半導体チップ10がリードフレームのアイランド13上に接着剤14によりダイボンドされ

50

(3)

3

る。第2の半導体チップ11が第1の半導体チップ10の前記パッシベーション皮膜上に固着されている。接着剤14は導電性または絶縁性である。

【0011】第1の電極パッド12aには、金線からなる第1のボンディングワイヤ16aの一端が接続されており、第1のボンディングワイヤ16aの他端は外部導出用のリード端子17にワイヤボンドされている。また、第2の電極パッド12bの表面には、第2のボンディングワイヤ16bの一端がワイヤボンドされており、第2のボンディングワイヤ16bの他端は外部導出用のリード端子17にワイヤボンドされている。

【0012】第1と第2の半導体チップ10、11、リード端子17の一部、および第1と第2のボンディングワイヤ16a、16bを含む主要部は、周囲をエポキシ系の熱硬化樹脂18でモールドされて半導体装置のパッケージを形成する。リード端子17はパッケージの側壁から外部に導出されて外部接続端子となる。導出されたリード端子17はZ字型に曲げ加工されている。アイランド13の裏面側は樹脂18の表面に露出しており、樹脂18表面と同一平面を形成している。

【0013】第1と第2の半導体チップ10、11の組み合わせは任意である。例えば、第1と第2の半導体チップ10、11としてEEPROM(フラッシュメモリ)等の半導体記憶装置を用いた場合(第1の組み合わせ例)は、1つのパッケージで記憶容量を2倍、3倍・・・にすることができる。また、第1の半導体チップ10にEEPROM(フラッシュメモリ)等の半導体記憶装置を、第2の半導体チップ11にはSRAM等の半導体記憶装置を形成するような場合(第2の組み合わせ例)ことも考えられる。どちらの組み合わせの場合でも、各チップにはデータの入出力を行うI/O端子と、データのアドレスを指定するアドレス端子、及びデータの入出力を許可するチップイネーブル端子とを具備しており、両チップのピン配列が酷似している。そのため、第1と第2の半導体チップ10、11のI/O端子やアドレス端子用のリード端子17を共用することが可能であり、各チップに排他的なチップイネーブル信号を印加することにより、どちらか一方の半導体チップのメモリセルを排他的に選択することが可能である。

【0014】上記第1の組み合わせ例の場合には当然の事ながら、第1の半導体チップ10と第2の半導体チップ11が大略同じ大きさと形状を有し、電極パッド12a、12bの配列も同じである。そのため、両者を重ねると、第1の半導体チップ10の電極パッド12aが第2の半導体チップ11の陰に隠れる。具体的に、図2

(B)の例では第2の電極パッド12bの直下に第1の電極パッド12aが位置する。又第2の組み合わせ例の場合でも、チップサイズと形状が近似し且つピン配列が酷似する場合があり得る。

【0015】而して、第1と第2の半導体チップ10、

50

4

11の間にスペーサ30を形成して、第1の電極パッド12aの上方に空間19を形成し、第2の半導体チップ11をひさし状に突出させている。この空間19は、第1の半導体チップ10の端部から第1の電極12aを露出するだけの幅(図1:W)を持ち、更には第1のボンディングワイヤ16aのワイヤ高さを収納するだけの高さ(図1:t1)を持つ。但しスペーサ30と各半導体チップ10、11との接着剤15の膜厚をも考慮する。この様なスペーサ30としては、膜厚が100~200μ程度の絶縁接着テープ、直径が100~200μの粒状の絶縁フィラーを混入した絶縁性のエポキシ系接着剤等が利用できる。

10

【0016】スペーサ30は第1の電極パッド12aの上方に空間19を形成し、この空間内で第1のボンディングワイヤ16aが第1の電極パッド12aにボールボンディングされている。ボール部20から連続する第1のボンディングワイヤ16aは空間19を通過し、リード端子17にセカンドボンドされる。第1の半導体チップ10の表面の高さに対してリード端子17の表面が高いような場合には、第1のボンディングワイヤ16aは第1の電極12aから空間19を通過して横方向に導出され、第2の半導体チップ11の端より外側で上昇し、リード端子17先端部に到達する様な軌跡を描く。

20

【0017】この様に、スペーサ30によって第1の電極パッド12aの上に空間19を設けることによって、第1の半導体チップ11へのワイヤボンディングを可能にし、且つ第1のボンディングワイヤ16aが第2の半導体チップ11の裏面と接触することを回避している。

20

【0018】本実施の形態では、アイランド13の板厚が150~200μであり、第1と第2の半導体チップ10、11の厚みがバックグラウンド工程により250~300μとなっている、接着剤14、15の厚みとして20~30μ必要であり、更にはボンディングワイヤの上部に樹脂の残り厚みとして150~200μは必要である。本願出願人は、これらの厚みを収納しつつ、パッケージの高さt2を1.0mm以下にまで薄形化した半導体装置を実現した。

40

【0019】図3に第2の実施の形態を示した。リードフレームに代えてテープキャリアと半田ボールを用いた例である。第1の半導体チップ10がポリイミド系のベースフィルム40の上に接着固定され、第1の半導体チップ10の上に第2の半導体チップ11がスペーサ30を挟んで固着される。ベースフィルム40の表面にはリード端子17に相当する導電パターン41が形成されており、第1と第2の電極パッド12a、12bと導電パターン41とが各々第1と第2のボンディングワイヤ16a、16bで接続されている。ベースフィルム40には貫通穴が形成され、該貫通穴を介して、ベースフィルム40の裏面に形成した半田ボール42と接続されている。そして、周囲を熱硬化性の樹脂でモールドされてい

(4)

5

る。

【0020】尚、上記実施例は半導体チップが2個の場合を記載したが、3個、4個を積層する場合でも同様に実施できることは言うまでもない。

【0021】

【発明の効果】以上に説明した通り、本発明によれば、第1と第2の半導体チップ10、11の間にスペーサ30を設け、スペーサ30が形成する空間19を利用して第1の電極12aに第1のボンディングワイヤ12aをボンディングするので、半導体チップ10、11の大きさと形状が近似した場合でも複数の半導体チップを積層してワイヤボンディングが可能になる利点を有する。こ

(4)

6

れにより、例えば1つのパッケージに2倍の記憶容量を持たせることが可能になる。

【0022】更に、半導体チップ10、11としてどのようなサイズ、形状のものでも組み合わせが可能になり、製品展開の自由度が増す利点をも有する。

【図面の簡単な説明】

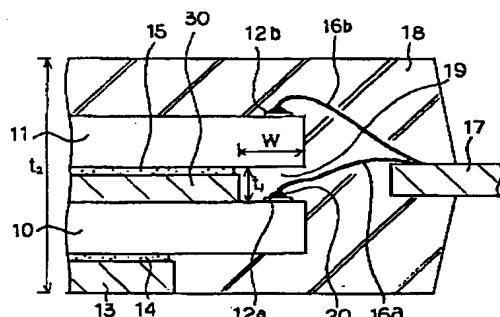
【図1】本発明を説明するための断面図である。

【図2】本発明を説明するための(A)断面図、(B)平面図である。

【図3】本発明の、第2の実施の形態を示す断面図である。

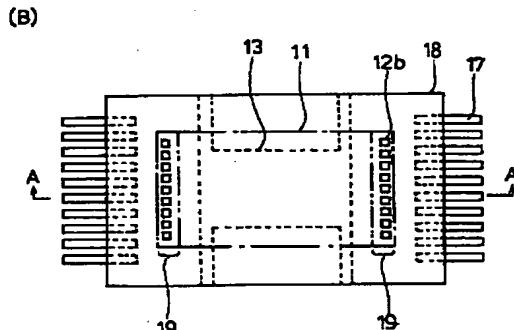
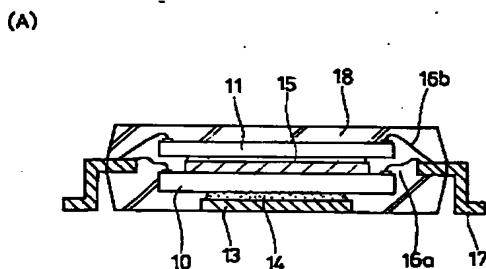
【図4】従来例を説明するための断面図である。

【図1】

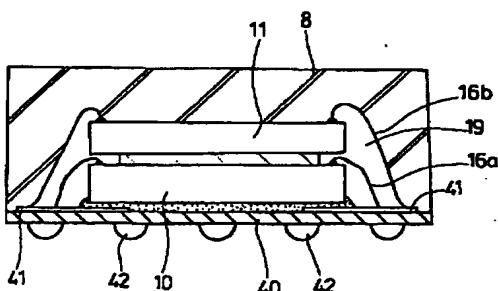


- 10 第1の半導体チップ
- 11 第2の半導体チップ
- 12a 第1の電極ワイヤ
- 12b 第2の電極ワイヤ
- 16a 第1のボンディングワイヤ
- 16b 第2のボンディングワイヤ
- 30 スペーサ

【図2】



【図3】



(5)

【図4】

